

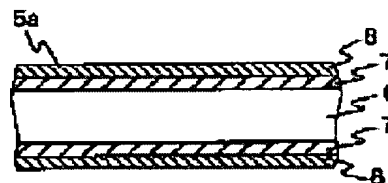
SEMICONDUCTOR DEVICE AND MOUNTING STRUCTURE THEREOF

Patent number: JP11330340
Publication date: 1999-11-30
Inventor: OKUDAIRA HIROAKI; INABA KICHIJI
Applicant: HITACHI LTD
Classification:
- **international:** H01L23/50; C22C13/02; C23C28/02; C25D5/10; C25D7/12
- **european:**
Application number: JP19980139484 19980521
Priority number(s):

Abstract of JP11330340

PROBLEM TO BE SOLVED: To prevent cracks from occurring in a lead, by a method wherein a lead is possessed of a lower plating film of tin or tin-bismuth alloy, an upper plating film of tin-bismuth alloy which is higher in bismuth content than the lower plating film, and both films are formed on the surface of the lead base material of the lead.

SOLUTION: A lower plating film 7 is formed of tin whose bismuth content is 0 to 1 wt.% or tin-bismuth alloy, whereby cracks are prevented from occurring in a lead when the lead is bent in a lead forming process, and the lead is prevented from deteriorating in wettability. An upper plating film 8 is formed of tin-bismuth alloy which is 1 to 10 wt.% in bismuth content, whereby an electrical short circuit can be prevented from occurring between leads which are narrow in space between them and easy to produce whiskers, cracks are prevented from occurring in the leads when the leads are bent in a lead forming process, and the leads are prevented from deteriorating in wettability. Moreover, A lead can be plated with lead-free solder which is excellent in corrosion resistance and harmless.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330340

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/50

H 0 1 L 23/50

D

C 2 2 C 13/02

C 2 2 C 13/02

C 2 3 C 28/02

C 2 3 C 28/02

C 2 5 D 5/10

C 2 5 D 5/10

7/12

7/12

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号

特願平10-139484

(22) 出願日

平成10年(1998) 5月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 奥平 弘明

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 稲葉 吉治

東京都小平市浄水本町五丁目20番 1 号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 高橋 明夫 (外 1 名)

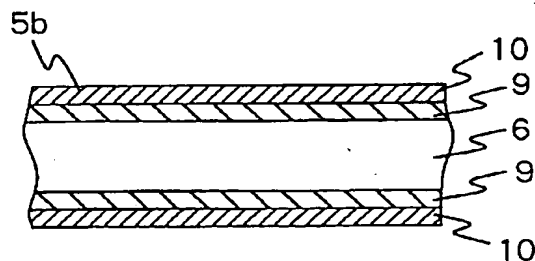
(54) 【発明の名称】 半導体装置およびその実装構造体

(57) 【要約】

【課題】鉛フリーはんだめっきを用いて、クラックの発生を防止して濡れ性の低下がなく、しかも耐ウィスカ性、耐食性などに優れた曲げ成形されたリードを有する信頼性の高い半導体装置を実現して、基板に濡れ性を低下させることなく高信頼度ではんだ接続実装できるようにした半導体装置およびその実装構造体を提供することにある。

【解決手段】本発明は、曲げ成形されたリードを有する半導体装置において、前記リードを、リード基材の表面に、ビスマス含有量が0～1wt%のすずまたはすず-ビスマス合金からなる下層めっき膜と、ビスマス含有量が1～10wt%のすず-ビスマス合金からなる上層めっき膜とを有して形成したことを特徴とする。

図 3



【特許請求の範囲】

【請求項1】 曲げ成形されたリードを有する半導体装置において、

前記リードを、リード基材の表面に、すずまたはすずービスマス合金からなる下層めっき膜と、該下層めっき膜におけるビスマス含有量よりも大きなビスマス含有量を有するすずービスマス合金からなる上層めっき膜とを有して形成したことを特徴とする半導体装置。

【請求項2】 曲げ成形されたリードを有する半導体装置において、

前記リードを、リード基材の表面に、ビスマス含有量が0～1wt%のすずまたはすずービスマス合金からなる下層めっき膜と、ビスマス含有量が1～10wt%のすずービスマス合金からなる上層めっき膜とを有して形成したことを特徴とする半導体装置。

【請求項3】 前記下層めっき膜の厚さが1～14μmで、前記上層めっき膜の厚さが1～12μmであることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記下層めっき膜の厚さが1～9μmで、前記上層めっき膜の厚さが1～9μmであることを特徴とする請求項1または2記載の半導体装置。

【請求項5】 前記2層のめっき膜において、クラックおよびウィスカの発生を防止したことを特徴とする請求項1または2または3または4記載の半導体装置。

【請求項6】 前記リード基材の表面には、1～10μmの膜厚の銅めっきが施されたことを特徴とする請求項1または2または3または4または5記載の半導体装置。

【請求項7】 リード基材の表面に、すずまたはすずービスマス合金からなる下層めっき膜と、該下層めっき膜におけるビスマス含有量よりも大きなビスマス含有量を有するすずービスマス合金からなる上層めっき膜とを有する曲げ成形された複数のリードを備えた半導体装置を、前記複数のリードを基板上の電極にはんだ接続して実装したことを特徴とする半導体装置の実装構造体。

【請求項8】 リード基材の表面に、ビスマス含有量が0～1wt%のすずまたはすずービスマス合金からなる下層めっき膜と、ビスマス含有量が1～10wt%のすずービスマス合金からなる上層めっき膜とを有する曲げ成形された複数のリードを備えた半導体装置を、前記複数のリードを基板上の電極にはんだ接続して実装したことを特徴とする半導体装置の実装構造体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、リード基材の表面に鉛を含まない2層のめっき膜を形成し、曲げ成形されたリードを有する半導体装置に関する。

【0002】

【従来の技術】 IC、LSIなどの半導体素子は、いわゆるパッケージング工程において、リードフレーム上に固着された後、ワイヤボンディングなどによりリードフ

レームと電気的に接続され、さらにモールド樹脂によりモールドされる。そして、基板などの外部回路とはんだ等を用いて接続するために、モールド樹脂の外側に露出したリードには、主に鉛を10～40wt%含むすずー鉛合金、いわゆる鉛はんだめっきが施され、その後リードはフレームから切断され、所定の形状に曲げ成形される。このように、リードに対するめっきは、はんだ濡れ性、耐熱性、耐ウィスカ性、密着性、折り曲げ性、耐食性等の特性が要求される。しかしながら、鉛はんだめっきはこれらの要求特性を全て満足し、現行製品に広く使用されている。

【0003】

【発明が解決しようとする課題】 近年の環境問題の中で鉛による環境汚染が大きな問題となっている。鉛はんだに関しては、家電製品、自動車部品などの電気部品の接合材料として広く使用されており、これらが廃棄物としてシュレッダーダスト化され屋外に廃棄されたとき、酸性雨等の酸性雰囲気曝されると、はんだ中の鉛が溶出して、地下水を汚染することが問題となってきている。そこで、鉛を含まないいわゆる鉛フリーはんだの開発が進められ、Sn-Ag-Bi系、Sn-Zn-Bi系等の鉛フリーはんだが開発されている。更に、鉛フリーはんだに対応する鉛フリーはんだめっきの開発も進められ、めっき膜材料としてはパラジウム、すずー亜鉛合金（特開平4-212443号公報）、すずー銀合金、すずービスマス合金などが挙げられている。しかし、これらの合金めっき膜はいずれも大きな課題がある。パラジウムは耐食性の点でリード材の主流である42アロイには適用できない。すずー亜鉛合金は酸化されやすく濡れ性が劣り、ウィスカも発生しやすい。すずー銀合金は加熱により表面が青く変色して濡れ性が低下する。すずービスマス合金は硬く、脆いため上記の半導体素子の成形工程においてリードを曲げたときにめっき膜にクラックが生じる。そのため、リードを折り曲げた後に加熱工程を通すとリード表面が酸化され、濡れ性が低下する。また、耐食性も低下する。このようにいずれのすず合金も大きな課題があるため、従来のすずー鉛合金の代替めっき膜として用いることはできない。

【0004】 また、東芝技術公開集VOL. 15-62、発行番号97-0647、第61頁および第62頁（発行日：1997-9-29）には、リード母材部分に下地めっき部分としてSnめっきまたはSn合金めっきを施し、表面めっき部分にSnベースで2元以上の合金めっき（たとえばSnAg、SnZn、SnBiなど）を施すことが記載されている。しかしながら、クラックやウィスカの発生を無くすことについては、考慮されていない。

【0005】 本発明の目的は、上記従来技術の課題を解決すべく、鉛フリーはんだめっきを用いて、クラックの発生を防止して濡れ性の低下がなく、しかも耐ウィスカ

性、耐食性などに優れた曲げ成形されたリードを有する信頼性の高い半導体装置を実現して、基板に濡れ性を低下させることなく高信頼度ではんだ接続実装できるようにした半導体装置およびその実装構造体を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明は、曲げ成形されたリードを有する半導体装置において、前記リードを、リード基材の表面に、すずまたはすずービスマス合金からなる下層めっき膜と、該下層めっき膜におけるビスマス含有量よりも大きなビスマス含有量を有するすずービスマス合金からなる上層めっき膜とを有して形成したことを特徴とする。また、本発明は、曲げ成形されたリードを有する半導体装置において、前記リードを、リード基材の表面に、ビスマス含有量が0～1wt%のすずまたはすずービスマス合金からなる下層めっき膜と、ビスマス含有量が1～10wt%のすずービスマス合金からなる上層めっき膜とを有して形成したことを特徴とする。

【0007】また、本発明は、前記半導体装置において、2層のめっき膜の厚さを $10 \pm 5 \mu\text{m}$ とした場合、前記下層めっき膜の厚さが1～14 μm で、前記上層めっき膜の厚さが1～12 μm であることを特徴とする。また、本発明は、前記半導体装置において、2層のめっき膜の厚さを10 μm 程度にした場合、前記下層めっき膜の厚さが1～9 μm で、前記上層めっき膜の厚さが1～9 μm であることを特徴とする。また、本発明は、前記半導体装置において、2層のめっき膜の厚さを5 μm 程度にした場合、前記下層めっき膜の厚さが1～4 μm で、前記上層めっき膜の厚さが1～4 μm であることを特徴とする。また、本発明は、前記半導体装置において、2層のめっき膜の厚さを15 μm 程度にした場合、前記下層めっき膜の厚さが4～14 μm で、前記上層めっき膜の厚さが1～11 μm であることを特徴とする。また、本発明は、前記半導体装置において、前記2層のめっき膜において、クラックおよびウイスカの発生を防止したことを特徴とする。

【0008】特に、下層めっき膜においてビスマス含有量を1wt%以下にすることによってクラックの発生を防止し、上層めっき膜においてビスマス含有量を1wt%以上にすることによってウイスカの発生を防止すると共に10wt%以下にすることによってクラックの発生を防止することにある。

【0009】また、本発明は、前記半導体装置において、前記リード基材の表面には、1～10 μm の膜厚の銅めっきが施されたことを特徴とする。また、本発明は、リード基材の表面に、すずまたはすずービスマス合金からなる下層めっき膜と、該下層めっき膜におけるビスマス含有量よりも大きなビスマス含有量を有するすずービスマス合金からなる上層めっき膜とを有する曲げ成

形された複数のリードを備えた半導体装置を、前記複数のリードを基板上の電極にはんだ接続して実装したことを特徴とする半導体装置の実装構造体である。

【0010】また、本発明は、リード基材の表面に、ビスマス含有量が0～1wt%のすずまたはすずービスマス合金からなる下層めっき膜と、ビスマス含有量が1～10wt%のすずービスマス合金からなる上層めっき膜とを有する曲げ成形された複数のリードを備えた半導体装置を、前記複数のリードを基板上の電極にはんだ接続して実装したことを特徴とする半導体装置の実装構造体である。また、本発明は、パルス状の電流波形を印加してこぶ状析出やひげ状析出のない平滑なすずービスマクめっき表面を得ることを特徴とする。

【0011】以上説明したように、前記構成によれば、リード成形時の折り曲げによるクラックの発生に伴う濡れ性の低下がなく、かつウイスカの発生もなく、耐食性などに優れた半導体装置およびその実装構造体を製造することが可能となった。また、前記構成によれば、ビスマス含有量が異なるすずービスマスの2層めっきを、パルス状の電流波形の適用によりこぶ状析出やひげ状析出のない平滑なめっき表面を得ることができ、しかも5～30A/dm²という高電流密度でのめっきが可能となり、めっき時間の大幅な短縮を実現することができる。

【0012】

【発明の実施の形態】本発明に係る半導体装置およびその実装構造体の実施の形態について図を用いて説明する。図1には、本発明に係る半導体装置の実施の形態の全体を示す概略構成図である。半導体装置は、半導体素子と熱膨張率があわせられた鉄-Ni合金である42アロイまたはその表面に1～10 μm の厚さの銅めっきが施されたリードフレーム（リード基材）2上にIC、LSIなどの半導体素子1を固定した後、半導体素子1の電極をワイヤボンディング3などによりリードフレームと電気的に接続し、モールド樹脂4により樹脂封止されて製造される。そして、モールド樹脂4の外側に露出したリードフレーム（リード基材）6に対して、脱脂、酸洗処理したのち、有機酸、有機酸すず、有機酸ビスマスおよび添加剤からなるめっき液を用いて、パルス状の電流波形を印加して、図2および図3に示すように、表面に、ビスマス含有量が0～1wt%のすずまたはすずービスマス合金からなる下層めっき膜（厚さが1～14 μm ）7、9と、ビスマス含有量が1～10wt%のすずービスマス合金からなる上層めっき膜（厚さが1～12 μm ）8、10とをめっきする。その後、リード5a、5bは、フレームから切断され、所定形状に折り曲げ成形されて形成される。以上により、本発明に係る半導体装置が完成されることになる。このように完成された半導体装置のリード5は、基板などの外部回路に設けられた電極と鉛フリーはんだ等を用いてはんだ接続（はんだ接合）されて実装されることになる。

【0013】図2には、リード基材6の表面に、下層すずめっき膜（2層の厚さを10 μ m程度にした場合厚さが1~9 μ m）7と上層すずービスマス合金めっき膜（2層の厚さを10 μ m程度にした場合厚さが1~9 μ m）8との2層構造の場合を示す。図3には、リード基材6の表面に、クラックの発生しにくいビスマス含有率の低い（1wt%以下）下層すずービスマス合金めっき膜（2層の厚さを10 μ m程度にした場合厚さが2~9 μ m）9と、それよりビスマス含有率が高く（1wt%以上）ウィスカが発生しない上層すずービスマス合金めっき膜（2層の厚さを10 μ m程度にした場合厚さが1~8 μ m）10との2層構造の場合を示す。

【0014】下層めっき膜7、9として、ビスマス含有量が0~1wt%のすずまたはすずービスマス合金からなることにより、リード成形時の折り曲げ（規格は曲げ半径がリード基材の厚さと同じ0.15mm、現実には曲げ半径が0.25mm程度である。）によるクラックの発生が防止されて濡れ性の低下をなくすことができ、上層めっき膜8、10として、ビスマス含有量が1~10wt%のすずービスマス合金からなることにより、ウィスカ発生しやすいため間隔の狭いリードでもウィスカ発生による電氣的短絡を防止し、しかもリード成形時の折り曲げによるクラックの発生を防止して濡れ性の低下をなくすことができ、更に優れた耐食性を有する害のない鉛フリーはんだめっきを施すことができる。即ち、下層のすずまたはすずービスマス合金めっき膜7、9の上に、一定量（1wt%）以上のビスマスを含有する上層すずービスマスめっき膜8、10を形成すれば、ビスマスは鉛同様ウィスカの発生を防止する作用があるため、下層のめっき膜7、9によるウィスカの発生を防止することができる。また、リードの折り曲げ時に上層のすずービスマスめっき膜8、10にクラックが発生しても、上層のすずービスマスめっき膜8、10だけで留まり下層のめっき膜7、9には達しない。そのためリードを折り曲げた後に加熱工程を通してリード表面が酸化されて、濡れ性が低下することはない。また、クラックがリード基材6の表面に達しないため耐食性が低下することもない。

【0015】すずービスマスめっき膜はビスマス含有率が1%以下のときはクラックが発生し難いが、反面ウィスカが発生しやすくなり、1%を越えるとウィスカは発生し難くなるが、クラックが急激に発生しやすくなる。

そのため、ビスマス含有率1%以下のすずまたはすずービスマスめっき膜7、9を下層に、ビスマス含有率1%以上のすずービスマスめっき膜8、10を上層に形成すればよい。リードフレームの基材は、鉄-Ni合金である42アロイでも42アロイに銅めっきを施したものである銅合金でも特に制限するものではない。また、めっき用の電流波形は、直流でもパルスでも良いが、すずービスマスめっきに対してはパルス状電流波形を印加することが有効であり、こぶ状析出、ひげ状析出等のない平滑なめっき表面が得られ、また、5~30A/dm²という大きな電流密度でのめっきが可能となりめっき時間の短縮が図れる。パルス波形は矩形波が良く、通電時間および休止時間は0.001秒~10秒の間から任意に選んだ値でよいが、特に通電時間および休止時間が0.01秒~1秒で、通電時間と休止時間の比が0.2~0.8であることが好ましい。

【0016】次に、本発明に係る鉛フリーはんだ2層めっき膜構造についての実験例について説明する。

【0017】

20 【実施例1】42アロイを基材とする幅3mm、長さ15mm、厚さ0.15mmのリードを10本連ねたテストサンプルを脱脂、酸洗処理した後、硫酸100g/l、硫酸第一すず60g/l、添加剤30ml/lからなるめっき液を用いてすずめっきを行った。室温、電流密度2A/dm²である。続いて有機酸、有機酸すず（すず濃度55g/l）、有機酸ビスマス（ビスマス濃度4.7g/l）および添加剤30ml/lからなるめっき液を用いてすずービスマスめっきを行った。液温40℃、電流密度10A/dm²である。めっき膜厚は両者合わせて10 \pm 5 μ m程度が望ましいことから10 μ m程度となるよう（表1）に示すような組み合わせとした。めっきの終了したサンプルを1本ずつのリードに切り離し、以下の評価を行った。曲げ半径0.15mmおよび0.25mmの曲げ治具を用いて90°曲げ試験を行い、曲げ部のクラックの発生状況を顕微鏡で観察した。ついでそのサンプルを150℃で168時間加熱し、ディップ法により濡れ性を評価した。また、温度85℃、湿度85%の環境に336時間放置した後のウィスカの発生状況を顕微鏡で観察した。その結果は（表1）に示すとおりである。

【0018】

【表1】

(表1)

No.	めっき厚(μm)		曲げ半径0.15mm			曲げ半径0.25mm		
	Sn-Bi	Sn	クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.5	9.5	○	○	×	○	○	×
2	1	9	○	○	○	○	○	○
3	2	8	○	○	○	○	○	○
4	4	6	○	○	○	○	○	○
5	5	5	○	○	○	○	○	○
6	6	4	○	○	○	○	○	○
7	8	2	○	○	○	○	○	○
8	9	1	×	×	○	×	○	○
9	9.5	0.5	×	×	○	×	×	○

【0019】なお、曲げ半径0.15mmは、基材の厚さと同じである規格値である。曲げ半径0.25mmは、実際の製品の曲げ半径を示す。(表1)に示すとおり曲げ半径0.15mmのときはすずーピスマスめっき膜厚0.5 μm ではウイスカが発生し、また、すずめ

20

き膜厚1 μm 以下ではクラックによる濡れ性の低下がみられた。従って、この場合の好ましいめっき膜厚はすずーピスマスが1~8 μm 、すずが2~9 μm である。曲げ半径0.25mmのときは、すずーピスマスが9 μm のときクラックの発生は有るものの濡れ性は良好である

(表2)

No.	めっき厚(μm)		曲げ半径0.15mm			曲げ半径0.25mm		
	Sn-Bi	Sn	クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.5	4.5	○	○	×	○	○	×
2	1	4	○	○	○	○	○	○
3	2	3	○	○	○	○	○	○
4	3	2	○	○	○	○	○	○
5	4	1	×	×	○	×	○	○
6	4.5	0.5	×	×	○	×	×	○

【0022】(表2)に示すとおり曲げ半径0.15mmのときはすずーピスマスめっき膜厚0.5 μm ではウイスカが発生し、また、すずめっき膜厚1 μm 以下ではクラックによる濡れ性の低下がみられた。従って、この場合の好ましいめっき膜厚はすずーピスマスが1~3 μm 、すずが2~4 μm である。曲げ半径0.25mmのときは、すずーピスマスが4 μm のときクラックの発生は有るものの濡れ性は良好であることから、好ましいめ

40

っき膜厚はすずーピスマスが1~4 μm 、すずが1~4

μm である。

【0023】

【実施例3】実施例1と同様に、42アロイを素材とするテストサンプルにすずおよびすずーピスマスめっきを行い、評価した。めっき膜厚は両者合計で15 μm 程度である。その結果は(表3)に示すとおりである。

【0024】

【表3】

(表3)

No.	めっき厚(μm)		曲げ半径0.15mm			曲げ半径0.25mm		
	Sn-Bi	Sn	クラック	濡れ性	ウイカ	クラック	濡れ性	ウイカ
1	0.5	14.5	○	○	×	○	○	×
2	1	14	○	○	○	○	○	○
3	3	12	○	○	○	○	○	○
4	5	10	○	○	○	○	○	○
5	7	8	○	○	○	○	○	○
6	10	5	○	○	○	○	○	○
7	12	3	×	○	○	○	○	○
8	13	2	×	×	○	×	×	○
9	14	1	×	×	○	×	×	○
10	14.5	0.5	×	×	○	×	×	○

【0025】(表3)に示すとおり曲げ半径0.15mmのときはすずービスマスめっき膜厚0.5μmではウイカが発生する。また、めっき膜が厚くなったため、すずめっき膜厚3μm以下でクラックが発生するが濡れ性の低下がみられるのは2μmからである。従って、この場合の好ましいめっき膜厚はすずービスマスが1~12μm、すずが3~14μmである。曲げ半径0.25mmのときは、すずービスマスが2μmのときクラックが発生し、濡れ性の低下がみられることから、好ましいめっき膜厚はすずービスマスが1~12μm、すずが3~14μmである。なお、42アロイに1~10μmの銅めっきを付けたテストサンプルおよび銅合金のテスト

20

サンプルにおいても上記の実施例1~3と同じ結果が得られた。

【0026】

【実施例4】実施例1と同様に、42アロイを素材とするテストサンプルにビスマス含有率0.3%のすずービスマスめっきをした後、その上にビスマス含有率5%のすずービスマスめっきを行い、評価した。めっき膜厚は両者合計で10μm程度である。その結果は(表4)に示すとおりである。

【0027】

【表4】

(表4)

No.	めっき厚(μm)		曲げ半径0.15mm			曲げ半径0.25mm		
	Sn-Bi上層	Sn-Bi下層	クラック	濡れ性	ウイカ	クラック	濡れ性	ウイカ
1	0.5	9.5	○	○	×	○	○	×
2	1	9	○	○	○	○	○	○
3	2	8	○	○	○	○	○	○
4	4	6	○	○	○	○	○	○
5	6	4	○	○	○	○	○	○
6	7	3	○	○	○	○	○	○
7	8	2	×	×	○	×	○	○
8	9	1	×	×	○	×	×	○

【0028】(表4)に示すとおり曲げ半径0.15mmのときは上層のすずービスマスめっき膜厚0.5μmではウイカが発生し、また、すずービスマスめっき膜はすずめっき膜に比べて脆いため、下層のすずービスマスめっき膜厚2μm以下ではクラックによる濡れ性の低下がみられた。従って、この場合の好ましいめっき膜厚は上層のすずービスマスが1~7μm、下層のすずー

50

ビスマスが3~9μmである。曲げ半径0.25mmのときは、下層のすずービスマスが8μmのときクラックの発生は有るものの濡れ性は良好であることから、好ましいめっき膜厚は上層のすずービスマスが1~8μm、下層のすずービスマスが2~9μmである。

【0029】本例では上層、下層ともにすずービスマスめっきであるため、パルス電流の適用により、電流密度

10 A/dm²でのめっきが可能となり、パルスの通電時間と休止時間の比を1とすると10 μmをめっきするのに必要なめっき時間は4分でよい。

【0030】

【実施例5】実施例1と同様に、42アロイを素材とするテストサンプルにビスマス含有率0.3%のすずービ

(表5)

No.	めっき厚(μm)		曲げ半径0.15mm			曲げ半径0.25mm		
	Sn-Bi上層	Sn-Bi下層	クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.5	4.5	○	○	×	○	○	×
2	1	4	○	○	○	○	○	○
3	2	3	○	○	○	○	○	○
4	2.5	2.5	○	○	○	○	○	○
5	3	2	×	×	○	×	○	○
6	4	1	×	×	○	×	×	○

【0032】(表5)に示すとおり曲げ半径0.15mmのときは上層のすずービスマスめっき膜厚0.5 μmではウイスカが発生し、また、下層のすずービスマスめっき膜厚2 μm以下ではクラックによる濡れ性の低下がみられた。従って、この場合の好ましいめっき膜厚は上層のすずービスマスが1~2.5 μm、下層のすずービスマスが2.5~4 μmである。曲げ半径0.25mmのときは、下層のすずービスマスが2 μmのときクラックの発生は有るものの濡れ性は良好であることから、好ましいめっき膜厚は上層のすずービスマスが1~3 μ

(表6)

No.	めっき厚(μm)		曲げ半径0.15mm			曲げ半径0.25mm		
	Sn-Bi上層	Sn-Bi下層	クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.5	14.5	○	○	×	○	○	×
2	1	14	○	○	○	○	○	○
3	3	12	○	○	○	○	○	○
4	5	10	○	○	○	○	○	○
5	7	8	○	○	○	○	○	○
6	10	5	○	○	○	○	○	○
7	11	4	×	×	○	×	○	○
8	12	3	×	×	○	×	×	○
9	13	2	×	×	○	×	×	○

【0035】(表6)に示すとおり曲げ半径0.15mmのときは上層のすずービスマスめっき膜厚0.5 μmではウイスカが発生し、また、下層のすずービスマスめっき膜厚4 μm以下ではクラックによる濡れ性の低下がみられた。従って、この場合の好ましいめっき膜厚は上層のすずービスマスが1~10 μm、下層のすずービスマスが5~14 μmである。曲げ半径0.25mmのときは、下層のすずービスマスが4 μmのときクラックの

50

スマスめっきをした後、その上にビスマス含有率5%のすずービスマスめっきを行い、評価した。めっき膜厚は両者合計で5 μm程度である。その結果は(表5)に示すとおりである。

【0031】

【表5】

m、下層のすずービスマスが2~4 μmである。

【0033】

20. 【実施例6】実施例1と同様に、42アロイを素材とするテストサンプルにビスマス含有率0.3%のすずービスマスめっきをした後、その上にビスマス含有率5%のすずービスマスめっきを行い、評価した。めっき膜厚は両者合計で15 μm程度である。その結果は(表6)に示すとおりである。

【0034】

【表6】

発生は有るものの濡れ性は良好であることから、好ましいめっき膜厚は上層のすずービスマスが1~11 μm、下層のすずービスマスが4~14 μmである。

【0036】

【実施例7】実施例1と同様に、42アロイを素材とするテストサンプルにすずめっきをした後、その上にビスマス含有率を変えてすずービスマスめっきを行い、評価した。めっき膜厚はすずが6 μm、すずービスマスが4

μm 程度である。その結果は(表7)に示すとおりである。

【0037】

【表7】

(表7)

No.	Sn-BiのBi含有率(wt%)	曲げ半径0.15mm			曲げ半径0.25mm		
		クラック	濡れ性	ウイカ	クラック	濡れ性	ウイカ
1	0.5	○	○	×	○	○	×
2	1	○	○	○	○	○	○
3	3	○	○	○	○	○	○
4	6	○	○	○	○	○	○
5	8	○	○	○	○	○	○
6	10	○	○	○	○	○	○
7	11	×	×	○	○	○	○
8	12	×	×	○	×	×	○
9	13	×	×	○	×	×	○

【0038】(表7)に示すとおり上層のすずーピスマスめっきのピスマス含有率0.5%ではウイカが発生した。また、曲げ半径0.15mmのとき、すずーピスマスめっき膜のピスマス含有率11wt%以上では大きなクラックの発生による濡れ性の低下がみられた。従って、この場合の好ましいすずーピスマスめっき膜のピスマス含有率は1~10wt%である。曲げ半径0.25mmのときは、ピスマス含有率11%まで濡れ性は良好であることから、好ましいピスマス含有率は1~11wt%である。

【0039】なお、本実施例ではめっき膜厚が下層のすずが6 μm 程度、上層のすずーピスマスが4 μm 程度の

例を示したが、上記の実施例1~3で示した好ましいめっき膜厚範囲でも同様の結果が得られた。

【0040】

【実施例8】実施例1と同様に、42アロイを素材とするテストサンプルにピスマス含有率0.3%のすずーピスマスめっきをした後、その上にピスマス含有率を変えてすずーピスマスめっきを行い、評価した。めっき膜厚は下層のすずーピスマスが6 μm 、上層のすずーピスマスが4 μm 程度である。その結果は(表8)に示すとおりである。

【0041】

【表8】

(表8)

No.	上層のSn-BiのBi含有率(wt%)	曲げ半径0.15mm			曲げ半径0.25mm		
		クラック	濡れ性	ウイカ	クラック	濡れ性	ウイカ
1	0.5	○	○	×	○	○	×
2	1	○	○	○	○	○	○
3	3	○	○	○	○	○	○
4	5	○	○	○	○	○	○
5	7	○	○	○	○	○	○
6	9	○	○	○	○	○	○
7	10	×	×	○	○	○	○
8	12	×	×	○	×	×	○
9	13	×	×	○	×	×	○

【0042】(表8)に示すとおり上層のすずーピスマスめっきのピスマス含有率0.5%ではウイカが発生した。また、すずーピスマスはすずに比べて脆いため、曲げ半径0.15mmのときは上層のすずーピスマスめ

っきのピスマス含有率10wt%以上で大きなクラックの発生による濡れ性の低下がみられた。従って、この場合の好ましいめっき膜ピスマス含有率は1~9wt%である。曲げ半径0.25mmのときは、ピスマス含有率

10%まで濡れ性は良好であることから、好ましいビスマス含有率は1~10wt%である。なお、本実施例ではめっき膜厚が下層のすずービスマスが6 μ m、上層のすずービスマスが4 μ mの例を示したが、上記の実施例4~6で示した好ましいめっき膜厚範囲でも同様の結果が得られた。

【0043】

【実施例9】実施例1と同様に、42アロイを素材とす

(表9)

No.	下層のSn-Biの Bi含有率(wt%)	曲げ半径0.15mm			曲げ半径0.25mm		
		クラック	濡れ性	ウイカ	クラック	濡れ性	ウイカ
1	0.0001	○	○	○	○	○	○
2	0.001	○	○	○	○	○	○
3	0.01	○	○	○	○	○	○
4	0.1	○	○	○	○	○	○
5	0.2	○	○	○	○	○	○
6	0.5	○	○	○	○	○	○
7	0.9	○	○	○	○	○	○
8	1	×	×	○	○	○	○
9	2	×	×	○	×	×	○

【0045】(表9)に示すとおり曲げ半径0.15mmのとき、下層のすずービスマスめっきのビスマス含有率1wt%以上でクラックの発生による濡れ性の低下がみられたことから、この場合の好ましいめっき膜ビスマス含有率は0.0001~0.9wt%である。曲げ半径0.25mmのときは、ビスマス含有率1%まで濡れ性は良好であることから、好ましいビスマス含有率は0.0001~1wt%である。なお、本実施例ではめっき膜厚が下層のすずービスマスが6 μ m程度、上層のすずービスマスが4 μ m程度の例を示したが、上記の実施例4~6で示した好ましいめっき膜厚範囲でも同様の結果が得られた。

【0046】また、実施例1~9で示した好ましいめっき膜厚範囲ではいずれも耐食性は良好であった。さらに、ここでは42アロイリードの例について示したが、銅めっきをした42アロイリード、銅合金リードについても同様の結果がえられた。

【0047】

【発明の効果】本発明によれば、半導体素子リードへのめっきをすずービスマス(上層)とすず(下層)の2層構造、または下層のすずービスマスよりビスマス含有率の大きいすずービスマスと上層のすずービスマスよりビスマス含有率の小さいすずービスマスとの2層構造とすることにより、リードの成型時の折り曲げによるクラックの発生に伴う濡れ性の低下がなく、かつ、ウイカの

るテストサンプルにビスマス含有率を変えて下層のすずービスマスめっきをした後、その上にビスマス含有率5%のすずービスマスめっきを行い、評価した。めっき膜厚は下層のすずービスマスが6 μ m、上層のすずービスマスが4 μ m程度である。その結果は(表9)に示すとおりである。

【0044】

【表9】

発生もなく、耐食性など信頼性に優れた半導体装置およびその実装構造体を実現することが可能となった。

【0048】また、本発明によれば、パルス状の電流波形を適用して、リード基材に対してビスマス含有率の異なるすずービスマスの2層めっき膜を形成することにより、こぶ状析出、ひげ状析出等のない平滑なめっき表面が得られ、しかも5~30A/dm²という高電流密度でのめっきが可能となり、めっき時間の大幅な短縮が可能となった。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一実施の形態を示す断面図である。

【図2】本発明に係るリードの一実施の形態を示す断面図である。

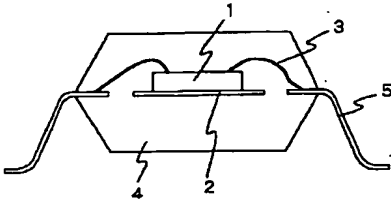
【図3】本発明に係るリードの他の一実施の形態を示す断面図である。

40 【符号の説明】

1…半導体素子、2…リードフレーム、3…ボンディングワイヤ、4…モールド樹脂、5、5a、5b…モールド樹脂の外側に露出したリード、6…リード基材、7…すずめっき膜、8…すずービスマス合金めっき膜、9…ビスマス含有率の低いすずービスマス合金めっき膜、10…ビスマス含有率の高いすずービスマス合金めっき膜。

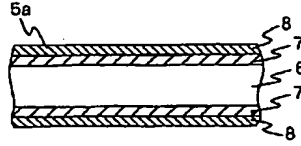
【図 1】

図 1



【図 2】

図 2



【図 3】

図 3

